UNIVERSIDADE DO VALE DO ITAJAÍ

PROJETO DE SISTEMAS DIGITAIS

Chuang Yu Min

TRABALHO M1

Descrição em VHDL dos Circuitos Combinacionais do Processador MIPS

2016

**Descrição do Projeto**

Transcrição para linguagem VHDL de todos os circuitos combinacionais presentes no modelo esquemático do MIPS monociclo que foi disponibilizado. Para cada componente descrito em VHDL criou-se um Símbolo, ao qual foi utilizado para fazer a integração dos componentes descritos.

Após as descrições dos componentes, foi feito uma simulação para cada um deles separadamente, e ao final da integração destes ao processador, utilizou-se o modelo de simulação do MIPS totalmente em diagrama esquemático, para o novo MIPS com os circuitos combinacionais descritos em VHDL, tendo como objetivo obter exatamente os mesmos resultados.

Abaixo segue uma representação da organização do MIPS monociclo e a lista dos componentes que serão descritos e substituídos

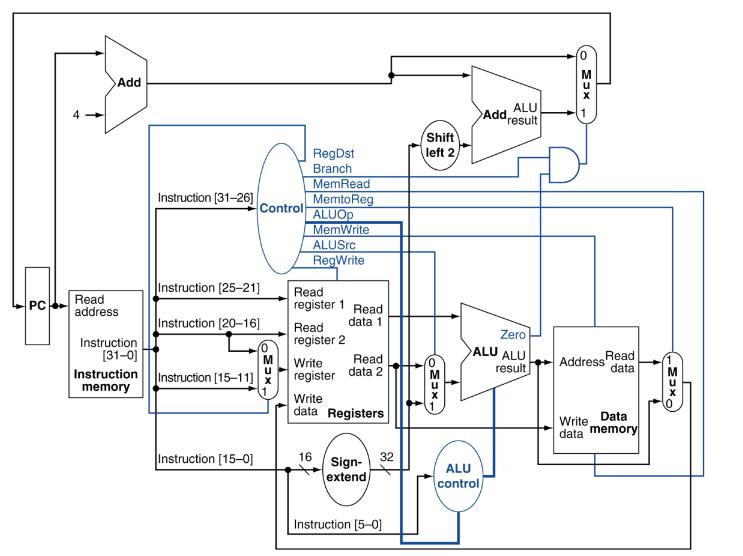


Figura 1 – Visão geral da organização do MIPS monociclo

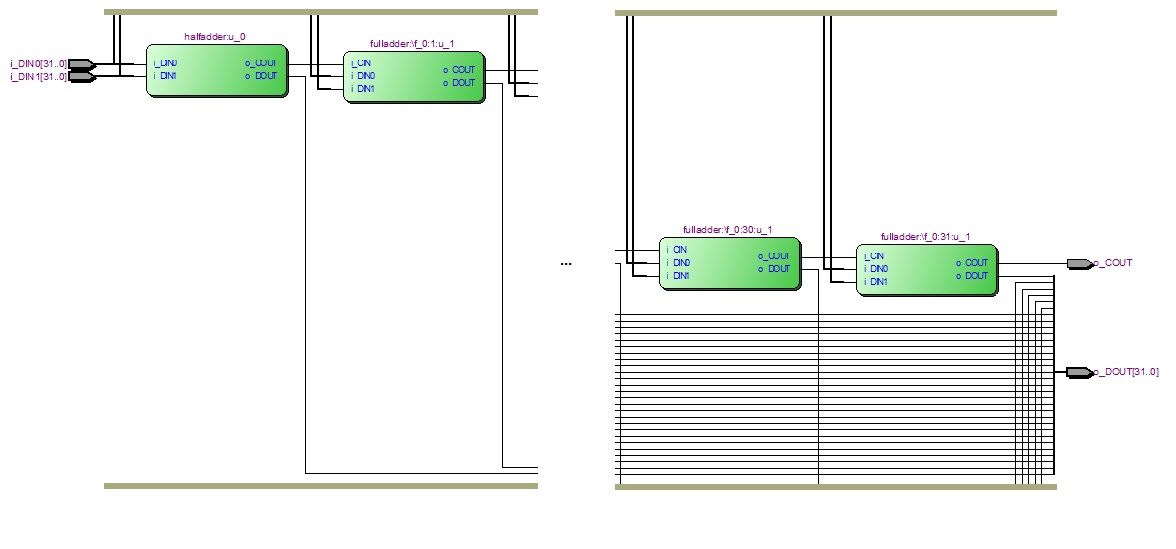
- Add  
- ALU  
- ALU Control  
- Control

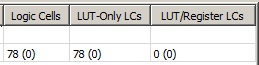
- Mux  
- Sign-extend  
- Shift left 2

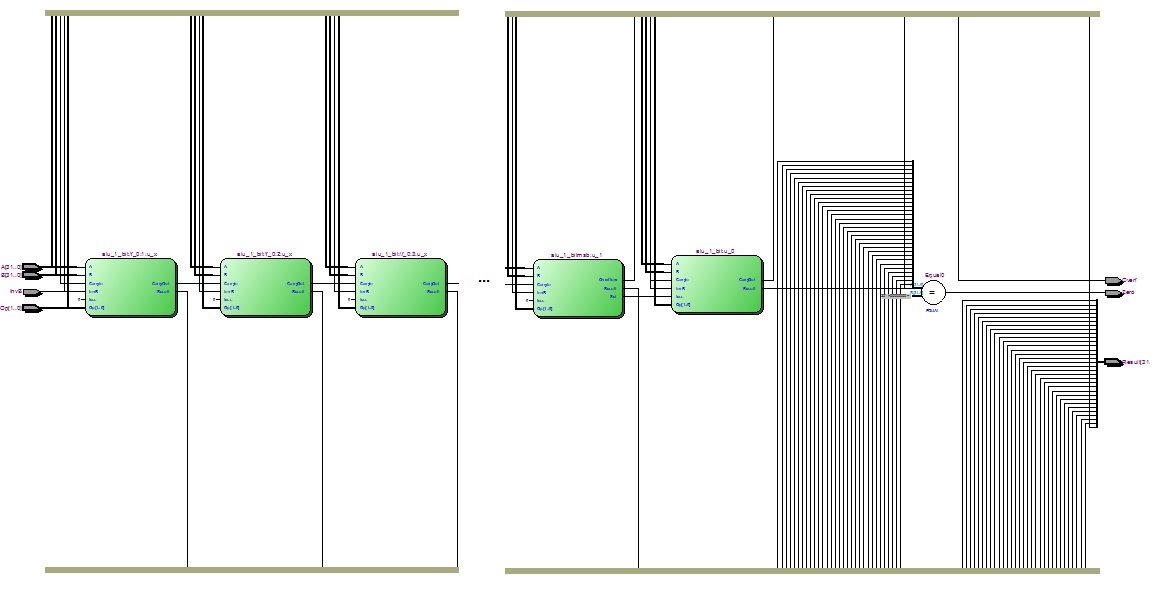
Obs: Dentro do banco de registradores, foi substituído os componentes decoder e mux32\_1\_32bits

**Componentes Descritos**

**ADDER:**

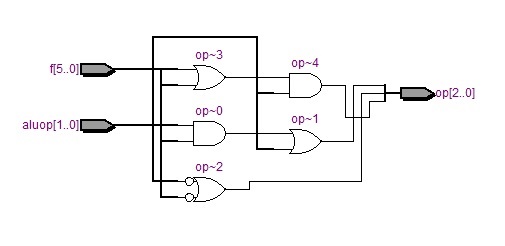




**ALU**

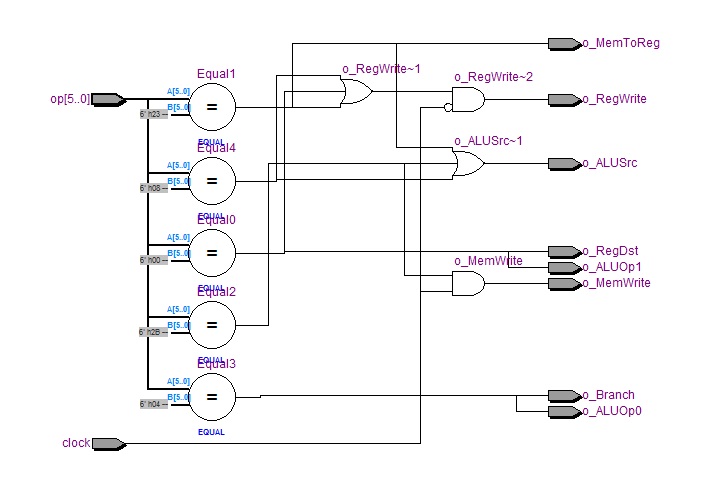
C:\Users\User\Desktop\Simulacoes\02 - alu table.jpg

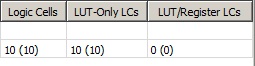
**ALU CONTROL**



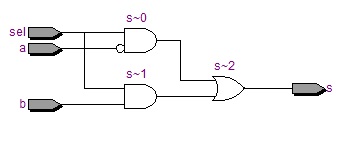
C:\Users\User\Desktop\Simulacoes\03 - alucontrol table.jpg

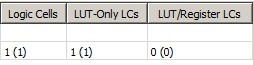
**CONTROL(Decoder)**

****

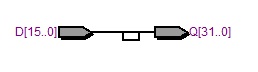
****

**MUX**

****

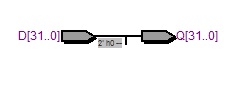
****

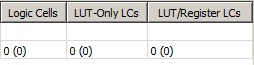
**Signal Extend**

****

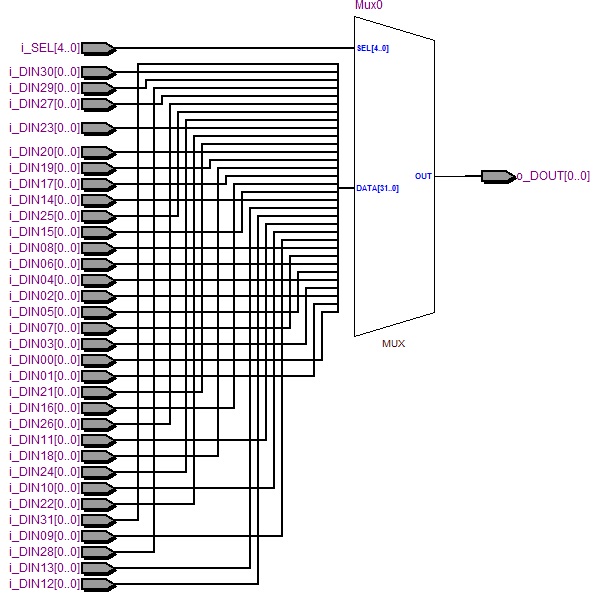
**C:\Users\User\Desktop\Simulacoes\06 - sigext table.jpg**

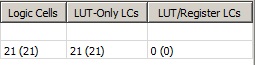
**2 Bit Left Shifter**

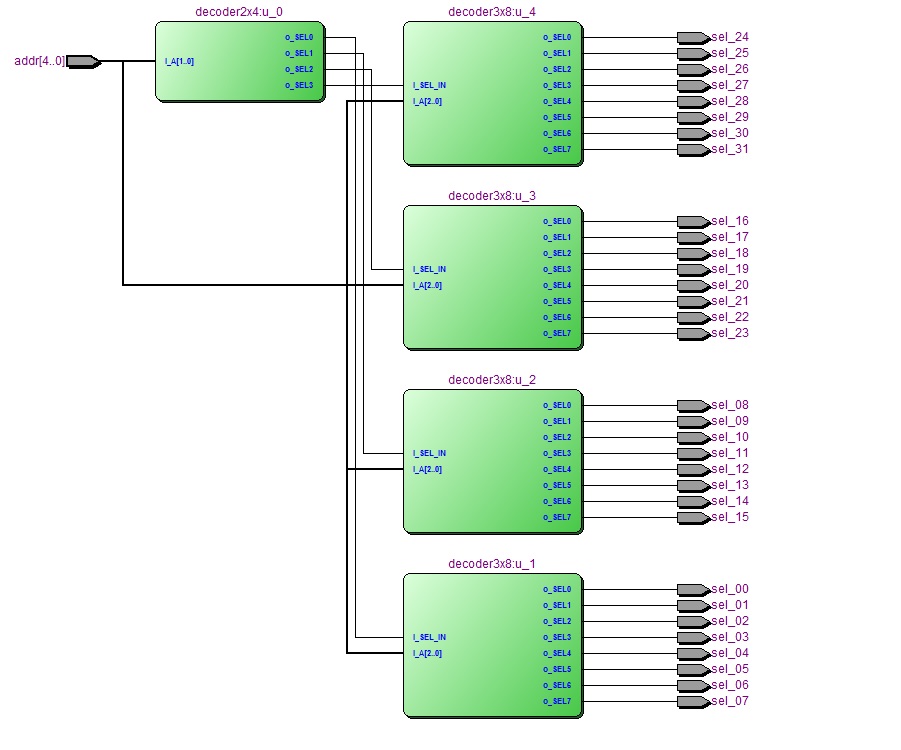
****

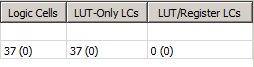
****

**MUX\_32x1\_32bits**

****

****

**Decoder do Banco de Registradores**

****

**TABELAS E SIMULAÇÕES MIPS**

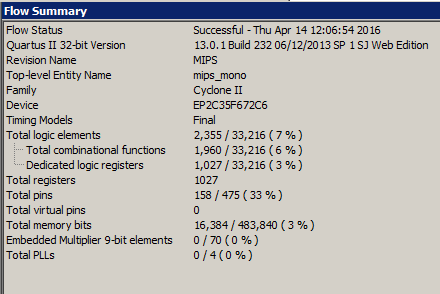
****

Figura – Relatório de Síntese MIPS\_Esquematico

****

Tabela – custos MIPS\_Esquematico

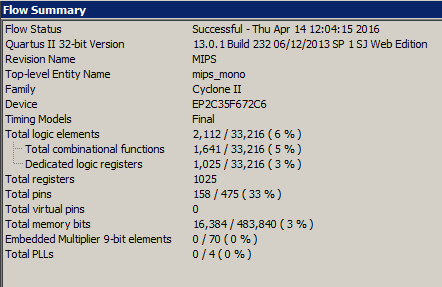


Figura – Relatório de Síntese MIPS\_VHDL

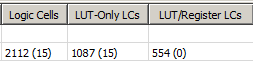
****

Tabela - custos MIPS\_VHDL

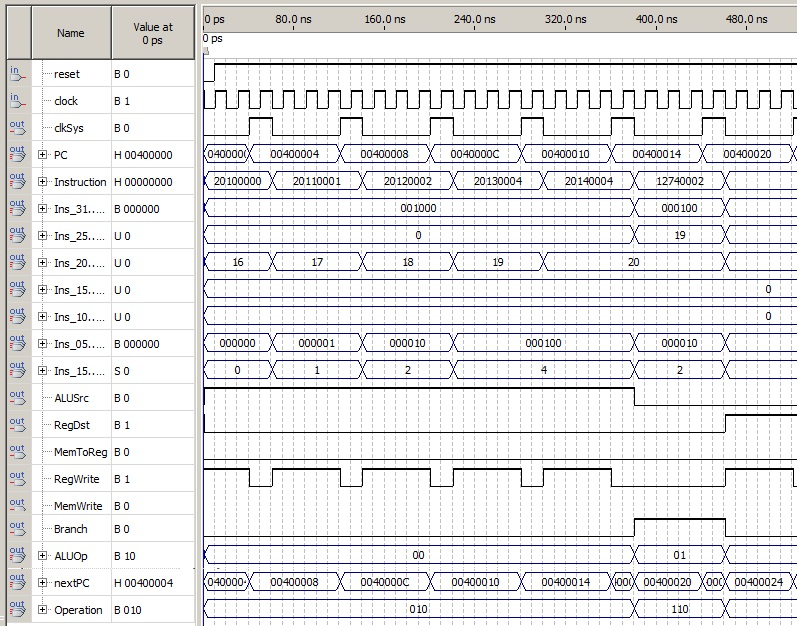


Figura - Simulação do MIPS

Obs: A simulação dos 2 projetos ficaram idênticas

**Conclusão**

A descrição em VHDL dos componentes serviu para fixar o estudo da linguagem de descrição feita em aula, assim como para consolidar o fluxo de implementação de projetos de sistemas digitais.